

CLIPPEDIMAGE= JP406163576A
PAT-NO: JP406163576A
DOCUMENT-IDENTIFIER: JP 06163576 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 10, 1994

INVENTOR-INFORMATION:

NAME

YASUDA, HIROYASU

ASSIGNEE-INFORMATION:

NAME

NIPPON STEEL CORP

COUNTRY

N/A

APPL-NO: JP04335603

APPL-DATE: November 20, 1992

INT-CL (IPC): H01L021/336; H01L029/784 ; H01L021/265

US-CL-CURRENT: 438/FOR.158, 438/FOR.461 , 252/951 , 438/766

ABSTRACT:

PURPOSE: To manufacture reliably a finely structural P-type MOS transistor having a P-type gate electrode and shallow source/drain diffusion layers.

CONSTITUTION: After boron ions 4 are implanted into a polycrystal silicon film 3, a metallic silicide film 5 of a high melting point is patterned in the form of a gate electrode on the polycrystalline silicon film 3, to and fluorine ions 6 are implanted into the film 3 using the patterned silicide film 5 as a mask. Thereafter, a heat treatment is performed to the same, and boron is diffused only from the fluorine-doped region into a substrate 2 to form shallow source/drain diffusion layers 7 therein. Thereby, since fluorine is not introduced into the polycrystal silicon film 3 constituting a part of the gate electrode and into a gate oxide film 2 laid thereunder, the

variation of the
threshold voltage of a MOS transistor which is caused by
boron diffused into
the semiconductor substrate 1 through the gate oxide film 2
is suppressed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-163576

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

21/265

7377-4M

8617-4M

H 0 1 L 29/ 78

21/ 265

3 0 1 P

L

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-335603

(22)出願日

平成4年(1992)11月20日

(71)出願人 00006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 保田 広安

相模原市淵野辺5-10-1 新日本製鐵株
式会社エレクトロニクス研究所内

(74)代理人 弁理士 國分 孝悦

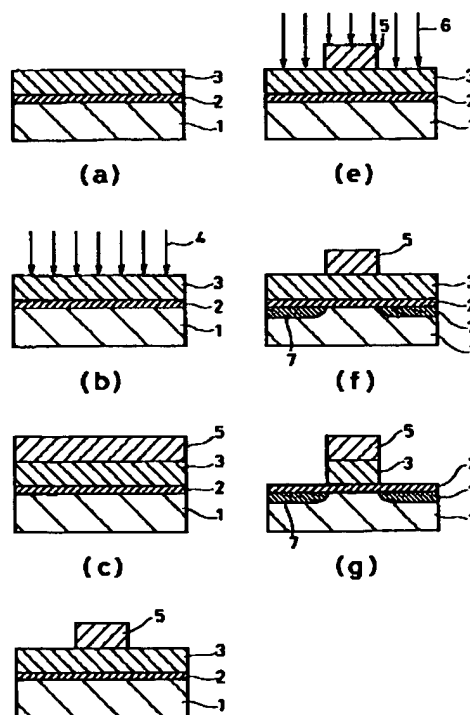
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 P型ゲート電極及び浅いソース/ドレイン拡散層を有する微細構造のP型MOSTランジスタを信頼性良く製造する。

【構成】 多結晶シリコン膜3にホウ素4をイオン注入した後、多結晶シリコン膜3の上に高融点金属シリサイド膜5をゲート電極の形状にパターン形成し、この高融点金属シリサイド膜5をマスクとしてフッ素6をイオン注入する。しかる後、熱処理を行い、フッ素を注入した領域からのみ基板1内にホウ素を拡散させて、浅いソース/ドレイン拡散層7を形成する。

【効果】 ゲート電極部分の多結晶シリコン膜3及びその下のゲート酸化膜2にはフッ素がイオン注入されないので、このゲート酸化膜2を通じて半導体基板1内にホウ素が拡散することによるMOSTランジスタのしきい値電圧の変動が抑制される。



1

【特許請求の範囲】

【請求項1】 半導体基板上に熱酸化膜及び多結晶シリコン膜を順次形成する工程と、
前記多結晶シリコン膜にホウ素を導入する工程と、
前記多結晶シリコン膜の上に絶縁膜又は高融点金属シリサイド膜を堆積する工程と、
前記絶縁膜又は高融点金属シリサイド膜をパターニングする工程と、
パターニングされた前記絶縁膜又は高融点金属シリサイド膜をマスクとして前記多結晶シリコン膜中又は前記多結晶シリコン膜と前記熱酸化膜中にフッ素をイオン注入する工程と、
フッ素が注入された領域からホウ素を熱拡散により前記半導体基板中に導入する工程と、
前記絶縁膜又は高融点金属シリサイド膜をマスクとして前記多結晶シリコン膜をパターニングする工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特に、不純物の拡散方法に関するものである。

【0002】

【従来の技術】従来、CMOS型の半導体集積回路を製造する場合、製造工程の簡略化より、P型MOSトランジスタにおいてもN型多結晶シリコン電極を用いる埋め込みチャネル型の構造が採られてきた。しかし、素子の微細化を進めていく上で、ショートチャネル効果耐性等の特性の優れた表面チャネル型の構造が求められてきた。

【0003】また、一方、素子の微細化には、ソース／ドレイン拡散層の浅接合化という要求がある。従来、イオン注入法を用いたP型ソース／ドレイン拡散層の浅接合化には、注入イオンとして、実効注入エネルギーが小さく、浅い注入が可能な二フッ化ホウ素イオンが用いられてきた。

【0004】以上のようなP型MOSトランジスタの微細化において、P型導電性のゲート電極及び浅いソース／ドレイン拡散層の形成を同時に実現する方法として、従来、図2に示すような方法が採られている。

【0005】まず、図2(a)に示すように、N型半導体基板(Nウェル)11上に熱酸化膜12を形成し、その上に多結晶シリコン膜13を形成する。

【0006】次に、図2(b)に示すように、多結晶シリコン膜13をゲート電極のパターンに加工する。

【0007】次に、図2(c)に示すように、全面に二フッ化ホウ素イオン18を低エネルギーでイオン注入し、図2(d)に示すように、P型導電性のゲート電極13及び浅いソース／ドレイン拡散層17を同時に形成する。

2

【発明が解決しようとする課題】上述した従来の製造方法では、浅いソース／ドレイン拡散層17を形成する際、ゲート電極13にも二フッ化ホウ素イオン18をイオン注入している。このため、ゲート電極13に注入されたフッ素が、その下のゲート酸化膜12中に拡散し、このゲート酸化膜12中に拡散したフッ素は、酸化膜中のホウ素の拡散を促進するので、ゲート電極13中のホウ素がこのゲート酸化膜12を突き抜けて半導体基板11中にまで達し、トランジスタのしきい値電圧を変動させて、半導体集積回路の信頼性を低下させるという問題があった。

【0009】そこで、本発明の目的は、例えば、P型ゲート電極及び浅いソース／ドレイン拡散層を形成する際、ゲート酸化膜へのフッ素の拡散を抑制することにより、信頼性を損なわずに半導体装置の微細化を実現する半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】上述した課題を解決するために、本発明の半導体装置の製造方法は、半導体基板上に熱酸化膜及び多結晶シリコン膜を順次形成する工程と、前記多結晶シリコン膜にホウ素を導入する工程と、前記多結晶シリコン膜の上に絶縁膜又は高融点金属シリサイド膜を堆積する工程と、前記絶縁膜又は高融点金属シリサイド膜をパターニングする工程と、パターニングされた前記絶縁膜又は高融点金属シリサイド膜をマスクとして前記多結晶シリコン膜中又は前記多結晶シリコン膜と前記熱酸化膜中にフッ素をイオン注入する工程と、フッ素が注入された領域からホウ素を熱拡散により前記半導体基板中に導入する工程と、前記絶縁膜又は高融点金属シリサイド膜をマスクとして前記多結晶シリコン膜をパターニングする工程とを有する。

【0011】

【作用】本発明の半導体装置の製造方法においては、ホウ素を含有する多結晶シリコン膜に対しフッ素を選択的に導入することにより、フッ素が導入された領域では、熱酸化膜を通したホウ素の半導体基板への拡散が促進されて浅い接合が形成され、一方、フッ素が導入されなかった例えばゲート領域では、ホウ素の拡散が抑制されるので、MOSトランジスタのしきい値電圧の変動を抑制でき、信頼性の高い微細構造の半導体装置を得ることができる。

【0012】

【実施例】以下、本発明を一実施例につき図1を参照して説明する。

【0013】まず、図1(a)に示すように、N型半導体基板(又はNウェル)1上に厚さ6~18nm程度の熱酸化膜2を形成し、更に、この熱酸化膜2の上に厚さ100~300nm程度の多結晶シリコン膜3を堆積させる。

3

リコン膜3に、ホウ素4を、注入エネルギー3～15 keV及びドーズ量 $1 \times 10^{15} \sim 10^{16} \text{ cm}^{-2}$ 程度の条件でイオン注入する。

【0015】次に、図1(c)に示すように、多結晶シリコン膜3の上にタングステンシリサイド膜5を厚さ100～200 nm程度に堆積させる。

【0016】次に、図1(d)に示すように、このタングステンシリサイド膜5をパターニング技術によりゲート電極形状に加工する。

【0017】次に、図1(e)に示すように、このパターニングされたタングステンシリサイド膜5をマスクとして用い、ソース/ドレイン拡散層を形成すべき領域に対応する部分の多結晶シリコン膜3又はこの多結晶シリコン膜3とその下の熱酸化膜2に、フッ素6を、注入エネルギー5～40 keV程度及びドーズ量 $1 \times 10^{15} \sim 10^{16} \text{ cm}^{-2}$ 程度の条件でイオン注入する。

【0018】次に、図1(f)に示すように、900～1150℃の温度で10秒～30分程度の熱処理を行い、フッ素を導入した領域の熱酸化膜2を介してホウ素を半導体基板1中に拡散させ、浅いソース/ドレイン拡散層7を形成する。

【0019】次に、図1(g)に示すように、タングステンシリサイド膜5をマスクとして多結晶シリコン膜3をパターニングすることにより、ゲート電極を形成する。

【0020】なお、上述の実施例では、多結晶シリコン膜3上に、高融点金属シリサイド膜としてタングステンシリサイド膜を用いたが、チタンシリサイド膜等の他の

4

高融点金属シリサイド膜を用いても良い。これらの場合、ゲート電極はポリサイド構造となる。また、高融点金属シリサイド膜の代わりに酸化膜等の絶縁膜を用いても良い。

【0021】

【発明の効果】本発明によれば、ホウ素を含有する多結晶シリコン膜にフッ素を選択的に導入することにより、例えば、ソース/ドレイン拡散層を形成すべき半導体基板の領域にのみ選択的にホウ素を導入することが可能であり、この結果、P型導電性を持つゲート電極と浅いソース/ドレイン拡散層を有する微細MOSTランジスタを得ることができ、且つ、ゲート酸化膜下の半導体基板へのホウ素の拡散を抑制することができるので、しきい値電圧の変動を抑えた信頼性の高い微細構造の半導体装置を製造することができる。

【図面の簡単な説明】

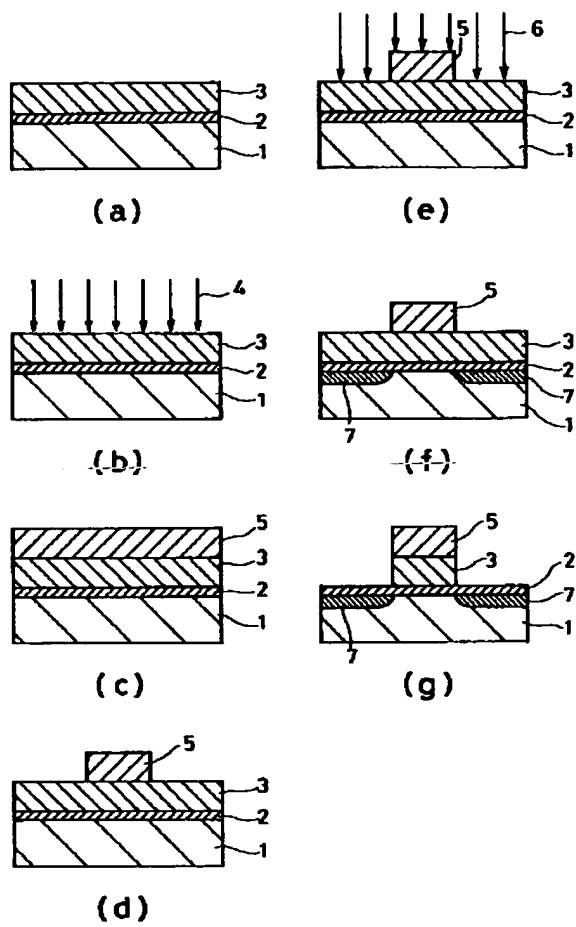
【図1】本発明の一実施例による半導体装置の製造方法を示す断面図である。

【図2】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 熱酸化膜
- 3 多結晶シリコン膜
- 4 ホウ素イオン
- 5 タングステンシリサイド膜
- 6 フッ素イオン
- 7 ソース/ドレイン拡散層

【図1】



【図2】

